

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭58—137254

⑬ Int. Cl.³
H 01 L 29/78

識別記号

庁内整理番号
7377—5F

⑭ 公開 昭和58年(1983)8月15日

発明の数 1
審査請求 未請求

(全 4 頁)

⑮ 絶縁ゲート半導体装置

⑯ 特 願 昭57—18746

⑰ 出 願 昭57(1982)2月10日

⑱ 発 明 者 芦川和俊
高崎市西横手町111番地株式会
社日立製作所高崎工場内

⑲ 発 明 者 伊藤満夫
高崎市西横手町111番地株式会
社日立製作所高崎工場内

⑳ 発 明 者 飯島哲郎
高崎市西横手町111番地株式会

社日立製作所高崎工場内

㉑ 発 明 者 加藤秀明
高崎市西横手町111番地株式会
社日立製作所高崎工場内

㉒ 発 明 者 岡部健明
国分寺市東恋ヶ窪一丁目280番
地株式会社日立製作所中央研究
所内

㉓ 出 願 人 株式会社日立製作所
東京都千代田区丸の内1丁目5
番1号

㉔ 代 理 人 弁理士 薄田利幸

明 細 書

発明の名称 絶縁ゲート半導体装置

特許請求の範囲

1. 第1導電型半導体基体をドレインとし、該基体表面の一部に第2導電型領域を形成し、この第2導電型領域表面の一部に第1導電型領域を設けてソースとし、ソース・ドレイン間の第2導電型領域上に絶縁膜を介して形成したゲート電極への電圧印加によって前記第2導電型領域表面のソース・ドレイン電流を制御する電界効果半導体装置において、上記第2導電型領域のチャネル部を除く一部に該領域より高濃度の第2導電型領域を形成することを特徴とする絶縁ゲート半導体装置。
2. 上記の高濃度の第2導電型領域はその表面不純物濃度が少なくとも 1×10^{17} atoms/cm²である特許請求の範囲第1項に記載の絶縁ゲート半導体装置。

発明の詳細な説明

本発明はパワーMOSFET(金属酸化物半導体電界効果トランジスタ)に関し、特に縦形MO

SFETを対象とする。

電力スイッチングに使われる縦形MOSFETは、例えば第1図に示すようにN⁺N⁻Si半導体基体1, 2をドレインとし、N⁻Si層2の表面の一部にP型ウェル3を形成し、このP型ウェル3の表面の一部にN⁺型拡散領域4を設けてソースとし、ソース・ドレイン間のP型ウェル表面に絶縁膜5を介してゲート電極6を形成し、このゲート電極への電圧印加によってP型ウェル表面のソース・ドレイン電流を制御するようになってい

る。
この縦形パワーMOSFETを例えば第2図に示すようにL負荷(トランスフォーマ等)を有するスイッチングレギュレータ式電源用回路に使用するとき、トランジスタのON電流を増大させる場合に破壊(ブレークダウン)に至り、L負荷ラッチング破壊強度に問題がある。スイッチング動作させるMOSFETの動作軌跡は第3図に示すときV_{DS}-I_D関係によりあらわされるが、上記したL負荷ラッチング破壊のテストを行なう

と、 L 負荷に与えられたエネルギー($E = \frac{1}{2} L I_D^2$ に相当)がMOSFETのソース・ドレイン間に印加され(その動作軌跡は耐圧 V_{DSS} にクランプされる)消費される。縦形MOSFETでは第1図を参照し、 N^+ ソース、 P ウェル及び N^+ 基板との間で寄生NPNトランジスタ Q_s として動作し、 N^+ 領域がエミッタとしてはたらき高電圧高電流のとき P ウェルと N^- 層との間で電流集中が起って破壊となる。

本発明は上述した点にかんがみ、スイッチング用縦形MOSFETを改善し L 負荷ラッチング破壊強度を向上することを目的とする。

上記目的を達成するため、本発明の望ましい一実施例として第4図に示すように、縦形MOSFETの P 型ウェル3のチャンネル部を除く一部分により高濃度の深い P^+ 型ウェル7を形成する。この P^+ 型ウェル7の濃度は少なくともその表面濃度が $1 \times 10^{17} \text{ atoms/cm}^2$ 以上とする。

第5図(a)~(d)は上記の縦形MOSFETを得るための製造プロセスを示す。以下にプロセスの各

工程を説明する。

- (a) N^+ 型Si基板(比抵抗 $\rho = 0.01 \Omega \cdot \text{cm}$ 以下)1の上に N^- 型Si層(比抵抗 $\rho = 1.7 \Omega \cdot \text{cm}$)2を形成したものを用意し酸化膜8をマスクとしてイオン打込みによりB(ボロン)を導入し P 型ウェル(不純物濃度 $N: 10^{16} \text{ atoms/cm}^2$)を形成する。この P ウェルの表面領域はチャンネル部として使用される。
- (b) 新たな酸化膜マスク9により、Bイオン打込み(ドーズ量 $8.5 \times 10^{14} \text{ cm}^{-2}$)を行ない、拡散は 1200°C にて8時間及び4時間保持し、表面不純物濃度で $1 \times 10^{17} \text{ atoms/cm}^2$ 、表面よりの深さは $1.5 \mu \text{m}$ の P^+ 型ウェル7を形成する。
- (c) 基体表面の酸化膜9を取り除いてゲート酸化を行なってうすいゲート絶縁膜5を形成し、この上にポリ(多結晶)Si層10を形成し、ソース部のポリSiをエッチ除去後、As(ヒ素)又はP(リン)をデポジット又はイオン打込みにより導入し、拡散することによりソースとなる N^+ 領域4を得る。

(d) ゲート部のポリSi層10の上に SiO_2 等の絶縁膜11を形成し、ソース及び P ウェル表面を露出する。

この後ソース及び P^+ 領域表面にコンタクトするAs電極12を形成することにより第4図で示す縦形NチャンネルMOSFETを得る。

以上実施例で述べた本発明による縦形MOSFETにおいてはチャンネル部となる部分以外の P ウェルをより高濃度にかつ深く形成することにより、バイポーラNPNトランジスタのベース・エミッタを短絡しかつベース抵抗を下げることで寄生バイポーラトランジスタとして働かず、ブレイクダウン電圧 BV_{DSS} が向上し、したがって L 負荷破壊耐圧を向上できる。

第6図は L 負荷ラッチング破壊テストにおける破壊電流 I_{DL} と P ウェル濃度の関係を示す。この場合、well拡散においては、 1200°C で8時間および4時間保持し拡散層の深さを $10 \sim 13.3 \mu \text{m}$ としてある。また、グラフにおける白抜記号はブレイクダウンしないことを表す。同図によれば

ば充分な I_{DL} を得るためには P ウェル濃度が $1 \times 10^{17} \text{ atoms/cm}^2$ 以上が必要であることを示している。

なお不純物濃度の高い P^+ ウェル7はチャンネル部をさけて設けてあるからMOSFETのしきい電圧 V_{TH} 特性に影響を与えることはなく、ウェル濃度のみを変えることで独立の設計パラメータとなるため効果は絶大である。

本発明は前記実施例に限定されない。第7図は本発明をV溝形NチャンネルMOSFETに適用した場合の例を示す。同図において、ドレインとなる N^+N^- 型基板1、2の表面にチャンネル部となる P 型層13を形成し、 P 型層13表面の一部にソースとなる N^+ 型領域14を形成し、 N^+ 型領域14表面より N^- 型基板2に達するV形溝15が形成されこのV形溝15の側面 P 層表面に絶縁膜16を形成しこの上にゲート電極17を設けるとともに N^+ 型領域14と P 型層13を短絡するソース電極18を設けたものである。この場合、チャンネル部以外の P 型層13表面より N^- 基板に達

する高い濃度の P^+ 型ウェル19を形成することにより、縦形MOSFETの場合と同様の BV_{DS} を高める効果が得られる。

本発明はNチャネルMOSFETに限らずPチャネルMOSFETについても同様に適用できる。

図面の簡単な説明

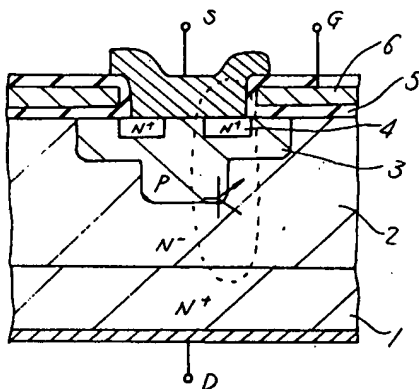
第1図は縦形MOSFETの原理的構造を示す断面図、第2図はL負荷を使用する回路の例を示す回路図、第3図はL負荷スイッチング動作時の I_D-V_{DS} 曲線図である。第4図は本発明による縦形MOSFETの一実施例を示す断面図、第5図(a)~(d)は本発明によるMOSFETの製造プロセスの一例を示す工程断面図、第6図はL負荷ラッチング破壊テストにおける破壊電流とウェルの不純物濃度との関係を示す曲線図、第7図は本発明をV溝MOSFETに適用した一実施例を示す断面図である。

1… N^+ Si基板、2… N^- 層(基板)、3…P型ウェル、4… N^+ ソース、5…絶縁膜、6…ゲート電極、7… P^+ ウェル、8、9…酸化膜マ

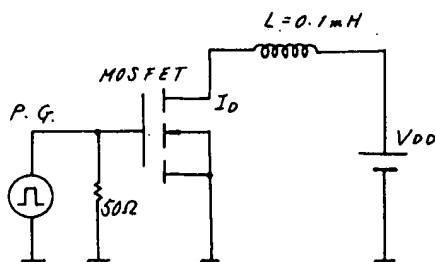
スク、10…ポリSi層、11…絶縁膜、12…A δ 電極、13…P層、14… N^+ 領域、15…V形溝、16…絶縁膜、17…ゲート電極、18…ソース電極、19… P^+ 型ウェル。

代理人 弁理士 薄田利幸

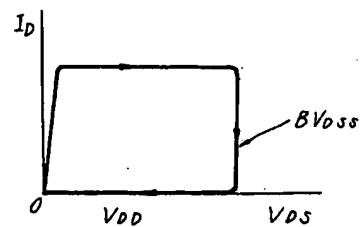
第 1 図



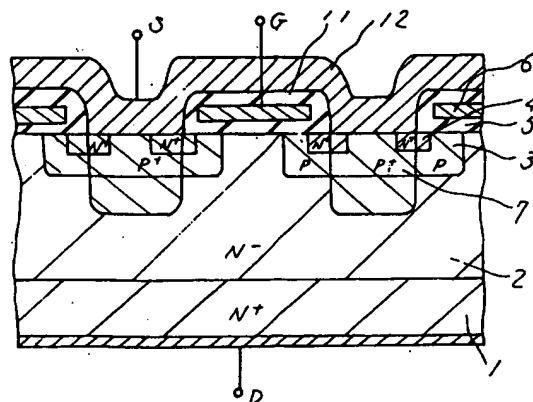
第 2 図



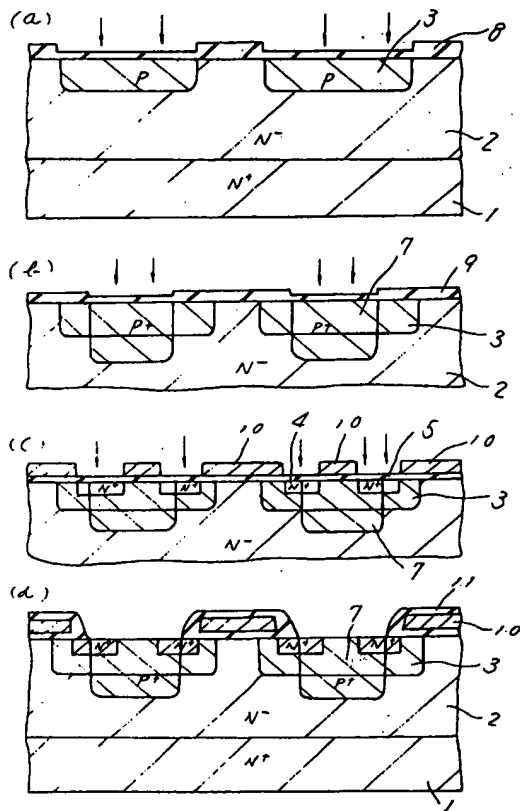
第 3 図



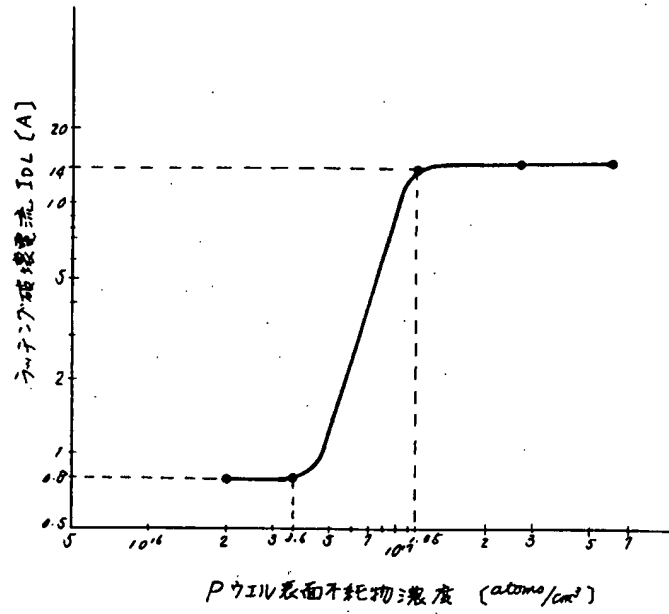
第 4 図



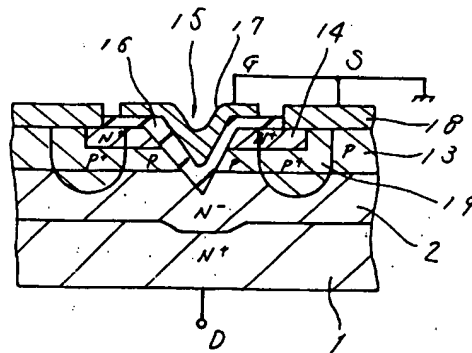
第 5 図



第 6 図



第 7 図





1 / 1

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **58-137254**
(43)Date of publication of
application : **15.08.1983**

(51)Int.Cl. **H01L 29/78**

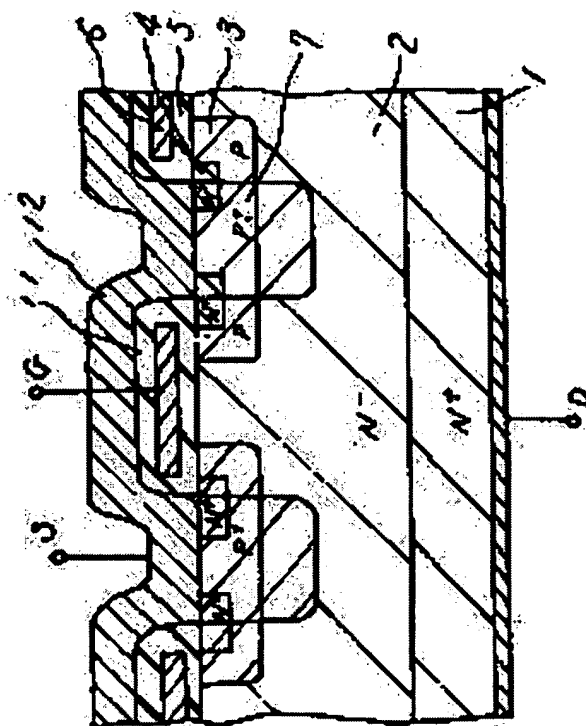
(21)Application number :	57-018746	(71) Applicant :	HITACHI LTD
(22)Date of filing :	10.02.1982	(72)Inventor :	ASHIKAWA KAZUTOSHI ITO MITSUO IIJIMA TETSUO KATO HIDEAKI OKABE TAKEAKI

(54) INSULATED GATE SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To improve disruptive strength in case of latching of L load by forming a deep P+ type well having high concentration by one part except the channel section of the P type well of a vertical MOSFET.

CONSTITUTION: The deep P+ type wells 7 having high concentration are formed by one parts except the channel sections of the P type wells 3 of the vertical MOSFET. Surface concentration shall be at least 1×10^{17} atoms/cm³ or more in the concentration of the P+ type wells 7. Accordingly, the device does not function as a parasitic bipolar transistor by short-circuiting the base and emitter of a bipolar NPN transistor and lowering base resistance, and breakdown voltage BVDSS is increased, thus improving the dielectric resistance of the L load.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office